

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010026464 A
(43)Date of publication of application: 06.04.2001

(21)Application number: 1019990037797

(22)Date of filing: 07.09.1999

(71)Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72)Inventor:

KIM, YEONG UK
YOUN, JUNG RIM

(51)Int. Cl

H01L 21/3205

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a semiconductor device is provided to reduce fringe capacitance and to shorten resistor-capacitor(RC) delay time, by forming a capping layer on copper interconnections while preventing the capping layer on an interlayer dielectric between the copper interconnections.

CONSTITUTION: The first conductor(11) is formed on a semiconductor substrate. An interlayer dielectric(13) is formed on the semiconductor substrate, exposing a partial region of the first conductor and having groove parts separated from each other by a predetermined interval where the groove parts have a damascene structure. After a barrier layer(17) is formed on the interlayer dielectric inside the exposed first conductor and the grooves to prevent a copper diffusion to the first conductor, copper interconnections(21) filled in the grooves are formed. A capping layer(27) is selectively formed on the copper interconnection to prevent a copper diffusion from an upper surface of the copper interconnections.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.:
HD1L 21/3205

(11) 공개번호: 10-2001-0026464
(43) 공개일자: 2001년 04월 06일

(21) 출원번호:	10-1999-0037797
(22) 출원일자:	1999년 09월 07일
(71) 출원인:	삼성전자 주식회사 윤증용 경기 수원시 팔달구 매탄3동 416
(72) 발명자:	윤증립 서울특별시 강남구 대치동 670번지 주공 고층 APT 307동 508호 김영숙 경기도 수원시 팔달구 영통동 살구골 마을 진덕 APT 602호
(74) 대리인:	김능균

설명부록: 없음

(54) 반도체소자의 제조방법

요약:

본 발명은 반도체소자의 제조방법을 게시한다. 이에 의하면, 충간절연막의 다마신(damascene) 구조의 홈부들에만 채워진 구리배선들을 제외한 그 외측의 충간절연막 상에 감광막의 패턴을 형성한 후 감광막의 패턴과 구리배선을 사이에 캐핑층을 함께 적용하고 이를 기계화학적 염마공정을 이용하여 구리배선을 외측의 충간절연막 상에 있는 캐핑층을 완전히 제거하고 구리배선을 상에만 캐핑층을 남긴다.

따라서, 본 발명은 구리배선을 상에 캐핑층을 형성하면서도 이를 사이의 충간절연막 상에 캐핑층을 전혀 존재하지 않게 하여 구리배선을 사이의 프린지(fringe) 커파시턴스를 줄이고 나이가 RC지연 시간을 단축하여로직소자의 고속화를 이룬다.

도면

도8

설명

도 1은 종래 기술에 의한 구리 다마신공정을 적용한 반도체소자를 나타낸 단면도,

도 2 내지 도 8은 본 발명에 의한 반도체소자의 제조방법을 나타낸 단면 공정도.

발명의 실체화 설명

발명의 특징

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로, 더욱 상세하게는 구리배선을 상에만 캐핑층을 선택적으로 형성하여 이를 사이의 프린지 커파시턴스(fringe capacitance)를 줄여줌으로써 동작속도의 고속화를 이용하도록 한 반도체소자의 제조방법에 관한 것이다.

일반적으로, 반도체소자의 고집적화와 더불어 고성능화가 지속적으로 진행되어 왔고 이에 추가하여 반도체소자의 고속화도 진행되어 왔다. 고성능 로직소자의 경우, 게이트 산화막의 두께감소와 게이트전극의 길이축소가 동작속도의 개선에 영향을 주지만, 배선저항과 충간절연막의 커파시턴스에 의한 RC지연이 동작속도의 악화에 더 많은 영향을 주고 있는 실정이다.

이러한 RC지연을 개선하기 위하여 여러 가지 방법들이 제안되어 왔고 그 중에서 구리(Cu)와 저유전 막질을 도입하는 방법이 현재 추진중에 있다. 구리(Cu)는 비저항 $2.62 \Omega \mu\text{m}$ 의 알루미늄에 비하여 약 35%의 낮은 $1.69 \Omega \mu\text{m}$ 의 비저항을 갖고, 또한 재료가격이 값싸고, 일렉트로마이그레이션(electromigration) 수

명도 길어서 차세대 배선재료로서 많은 업체에서 채용하고 있다.

구리배선을 형성함에 있어서, 현재 구리배선의 식각이 어려움이 있기 때문에 다마신(damascene)공정이 많이 연구되고 있다.

증래의 구리 다마신공정에 의한 반도체소자는 도 1에 도시된 바와 같이, 구성된다. 즉, 도 1에 도시된 바와 같이, 반도체기판(10) 상에 제 1. 도전체(11)가 형성되고, 층간절연막(13)이 제 1. 도전체(11)를 포함한 반도체기판(10) 상에 형성되며 층간절연막(13)에 제 1. 도전체(11)의 일부 영역을 각각 노출시키는, 일정 간격을 두고 이격된 다마신구조의 홈부들을 형성된다. 상기 홈부를 내의 층간절연막(13)의 표면 상에만 장벽층(17)이 형성되고, 상기 홈부들을 채우며 그 내부에만 구리배선(21)이 형성되고, 구리배선(21)의 상부면으로부터의 구리확산을 방지하기 위해 상기 홈부를 외측의 층간절연막(13)을 포함한 구리배선(21) 상에 캐핑층(capping layer)(23)이 함께 형성된다.

발명이 이루고자 하는 기술적 목표

그러나, 증래에는 구리배선들(21)의 상측부 사이의 이격 간격 $\#1$ 이 구리배선들(21)의 하측부 사이의 이격 간격 $\#2$ 보다 상당히 좁다. 또한 캐핑층(23)이 주로 큰 유전율의 절화막으로 이루어지고, 구리배선들(21)은 물론 구리배선들(21) 사이의 층간절연막(13) 상에도 함께 존재한다.

이로 인해, 구리배선들(21)과, 이를 사이의 층간절연막(13) 상에 위치한 캐핑층(23)이 구리배선들(21) 사이의 프린지 커패시턴스(fringe capacitance)를 증가시키는 작용을 한다. 이는 구리배선들(21) 사이의 커패시턴스를 증가시키고 나아가 RC 의 값을 증가시킨다. 그 결과 RC 지연시간(τ)이 길어지므로 고성능로직 소자의 고속화가 어려워질 수밖에 없다.

따라서, 본 발명의 목적은 근접한 구리배선들의 상부면으로부터의 구리확산을 억제하면서도 이를 구리배선들 사이의 프린지 커패시턴스를 줄여 반도체소자의 고속화를 이루하도록 한 반도체소자의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체소자의 제조방법은

반도체기판 상에 제 1. 도전체를 형성하는 단계;

상기 제 1. 도전체의 일부 영역을 노출시키는, 일정 간격을 두고 이격된 다마신구조의 홈부들을 갖는 층간절연막을 상기 반도체기판 상에 형성하는 단계;

상기 제 1. 도전체로의 구리 확산을 방지하기 위해 상기 노출된 제 1. 도전체 및 상기 홈부를 내의 층간절연막의 표면에 장벽층을 형성한 후 상기 홈부를 내부에만 채워진 구리배선들을 형성하는 단계; 그리고

상기 구리배선들의 상부면으로부터의 구리확산을 방지하기 위해 상기 구리배선들의 표면 상에만 캐핑층을 선택적으로 형성하는 단계를 포함하는 것을 특징으로 한다.

바탕직하게는 상기 캐핑층 형성단계는

상기 홈부를 외측의 층간절연막 상에 감광막의 패턴을 형성하는 단계;

상기 감광막의 패턴을 포함한 구리배선을 상에 캐핑층을 적층하는 단계; 그리고

기계화학적 연마공정을 이용하여 상기 캐핑층을 상기 홈부를 내의 구리배선들 상에만 남기고 아울러 상기 홈부를 외측의 층간절연막과 평탄화를 이루는 단계를 포함한다.

따라서, 본 발명은 다마신 구조의 홈부를 내부에만 채워진 구리배선 상에 캐핑층을 선택적으로 형성하여 근접한 구리배선들 사이의 프린지 커패시턴스를 줄이고 나아가 RC 지연시간을 단축하여 로직 소자의 고속화를 이룬다.

이하, 본 발명에 의한 반도체소자의 제조방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 증래의 부분과 동일한 기능 및 동일한 구성을 갖는 부분에는 동일한 부호를 부여한다.

도 2 내지 도 8은 본 발명에 의한 반도체소자의 제조방법을 나타낸 공정도이다.

도 2에 도시된 바와 같이, 먼저, 반도체기판(10), 예를 들어 실리콘기판 상에 제 1. 도전체(11)를 형성하고 나서 제 1. 도전체(11)를 포함한 반도체기판(10)의 표면 상에 층간절연막(13)으로서 P-TEOS 재질의 절연막을 적층한다.

여기서, 제 1. 도전체(11)로는 알루미늄 재질의 배선이거나, 콘택홀 내에 채워진 텅스텐과 같은 금속층이 적용될 수 있다.

한편, 반도체기판에는 설명의 편의상 설명의 간단함과 단순함을 위하여 반도체소자를 위한 트랜지스터의 확산영역과 게이트전극, 커패시터, 저항 등의 다양한 소자들을 도면에 도시하지 않았지만, 이들이 반도체기판에 형성되어 있음을 자명한 사실이다.

도 3에 도시된 바와 같이, 공자된 사진식각공정을 이용하여 층간절연막(13)의 일부 영역들에 다마신구조의 홈부들(15)을 각각 일정 거리 이격하여 형성한다.

이를 좀 더 상세히 언급하면, 제 1. 사진식각공정을 이용하여 후속의 구리배선들(21)의 패턴을 위한, 넓은 폭과 얕은 깊이의 제 1. 식각홀들(115)을 층간절연막(13)의 표면에 각각 이격하여 형성하고 나서 제 2. 사

진식각공정을 이용하여 제 1 식각홀들(115)의 저면 일부영역을 좁은 폭으로 제 1 도전체(11)의 표면 일부 영역이 노출될 때까지 식각하여 제 2 식각홀들(215)을 형성한다. 따라서, 층간절연막(13)에 다마신구조의 홈부들(15)이 완성된다.

여기서, 제 1 식각홀들(115) 사이의 미격 간격 #1이 제 2 식각홀들(215) 사이의 미격 간격 #2 보다 좁다.

물론, 좁은 폭으로 제 1 도전체(11)의 표면 일부가 노출될 때까지 식각된 깊이의 제 1 식각홀들을 층간절연막(13)의 표면에 각각 미격하여 형성하고 나서 제 1 식각홀들의 상측부에 해당하는 층간절연막의 표면에 넓은 폭과 얕은 깊이의 제 2 식각홀들을 각각 형성하여 도면에 도시된 동일한 다마신구조의 홈부들(15)을 형성하는 방법도 가능하다.

도 4에 도시된 바와 같이, 이어서, 후속의 공정에서 형성될 구리배선(21)의 구리가 제 1 도전체(11)를 확산하는 것을 방지하기 위해 홈부들(15) 내의 노출된 제 1 도전체(11)를 포함한 층간절연막(13)의 표면 상에 장벽층(17), 예를 들어 TaN층을 증착한다.

그리고 나서, 상기 구조의 전면 상에 홈부들(15)을 완전히 채울 정도의 두께로 구리층(19)을 적층한다.

도 5에 도시된 바와 같이, 이후, 기계화학적 연마(chemical mechanical polishing) 공정을 이용하여 홈부들(15) 외측의 층간절연막(13) 상에 위치한 구리층(19)과 그 아래의 장벽층(17)을 완전히 제거하고 홈부들(15) 내에만 구리층(19)을 남긴다. 따라서 구리배선들(21)의 패턴이 형성된다.

이때, 기계화학적 연마용액에 의한 구리층(19)의 식각률이 층간절연막(13)과 식각률보다 크므로 구리배선들(21)의 표면이 층간절연막(13)의 표면 보다 낮아진다. 이는 구리배선들(21)의 표면 상에 배치될 도 8의 선택적 캐핑층(27)이 구리배선층(21)의 상부면으로부터의 구리확산을 방지하기 위한 역할을 할 수 있음을 정도의 두께를 갖도록 하기 위함이다.

도 6에 도시된 바와 같이, 이어서, 사진공정을 이용하여 식각홀들 외측의 층간절연막(13)의 표면 상에 마스크층, 예를 들어 감광막(25)의 패턴을 형성한다. 여기서, 마스크층은 미외에도 패턴 가능한 재질이거나 산화막, 재질로 물질로 이루어져도 무방하다.

도 7에 도시된 바와 같이, 그럼 다음, 구리배선들(21)의 상부면으로부터의 구리확산을 방지하기 위해 감광막(25)의 패턴을 포함한 구리배선들(21) 상에 캐핑층(27)을 적층한다. 여기서, 캐핑층(27)으로는 유전율이 큰 절화막이 주로 사용된다.

도 8에 도시된 바와 같이, 마지막으로, 기계화학적 연마공정을 이용하여 캐핑층(27)을 감광막(25)의 패턴이 노출될 때까지 연마한다. 이어서, 감광막(25)의 패턴을 유기 스트립퍼(stripper) 용액에 의해 제거한다. 그 다음에 다시 한번 기계화학적 연마공정을 이용하여 남은 캐핑층(27)을 연마하여 구리배선들(21) 상에만 캐핑층(27)을 남기고 구리배선들(21) 외측의 층간절연막(13) 상에는 캐핑층(27)을 완전히 제거한다. 이때, 남은 캐핑층(27)과 층간절연막(13)의 표면이 평탄화를 이룬다.

따라서, 본 발명은 구리배선들 사이의 층간절연막 상에 캐핑층이 전혀 존재하지 않으므로 구리배선들 사이의 층간절연막 상에 캐핑층이 존재하는 증례에 비하여 구리배선들 사이의 프린지 커파시턴스가 상당히 감소한다.

설명의 요점

이상에서 살펴본 바와 같이, 본 발명에 의하면, 층간절연막의 다마신 구조의 홈부들에만 채워진 구리배선들을 제외한 그 외측의 층간절연막 상에 감광막의 패턴을 형성한 후 감광막의 패턴과 구리배선들 상에 캐핑층을 함께 적층하고 이를 기계화학적 연마공정을 이용하여 구리배선들 외측의 층간절연막 상에 있는 캐핑층을 완전히 제거하고 구리배선들 상에만 캐핑층을 남긴다.

따라서, 본 발명은 구리배선들 상에 캐핑층을 형성하면서도 이를 사이의 층간절연막 상에 캐핑층을 전혀 존재하지 않게 하여 구리배선들 사이의 프린지 커파시턴스를 줄이고 나아가 RC지연시간을 단축하여 로직 소자의 고속화를 이룬다.

한편, 본 발명은 도면에 도시된 바람직한 예를 기준으로 기술하고 있으나 이에 한정되지 않으며, 발명의 사상을 벗어나지 않는 범위 내에서 본 발명이 속하는 분야에서 통상의 지식을 갖는 자에 의해 다양한 변형과 개량이 가능함은 당연하다.

(5) 청구의 범위

청구항 1

반도체기판 상에 제 1 도전체를 형성하는 단계;

상기 제 1 도전체의 일부 영역을 노출시키는, 일정 간격을 두고 미격된 다마신구조의 홈부들을 갖는 층간 절연막을 상기 반도체기판 상에 형성하는 단계;

상기 제 1 도전체로의 구리 확산을 방지하기 위해 상기 노출된 제 1 도전체 및 상기 홈부들 내의 층간절연막의 표면에 장벽층을 형성한 후 상기 홈부들 내에만 채워진 구리배선들을 형성하는 단계; 그리고

상기 구리배선들의 상부면으로부터의 구리확산을 방지하기 위해 상기 구리배선들의 표면 상에만 캐핑층을 선택적으로 형성하는 단계를 포함하는 반도체소자의 제조방법.

청구항 2

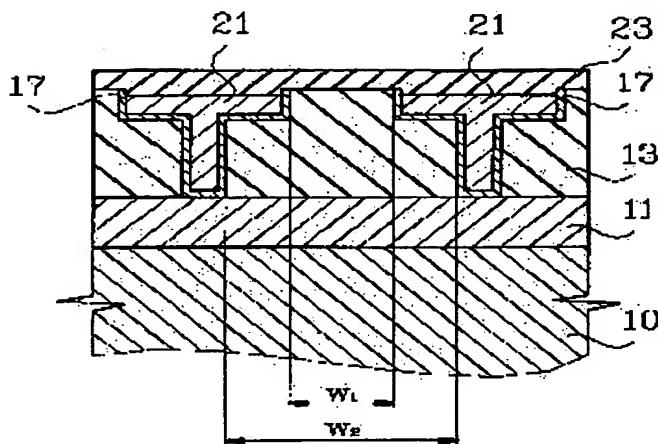
제 1 항에 있어서, 상기 캐핑총을 선택적으로 형성하는 단계는
 상기 홈부를 외측의 층간절연막 상에 마스크총을 형성하는 단계;
 상기 마스크총을 포함한 구리배선을 상에 캐핑총을 적용하는 단계; 그리고
 상기 캐핑총을 상기 홈부를 내의 구리배선을 상에만 남기고 아울러 상기 홈부를 외측의 층간절연막과 평탄화를 이루는 단계를 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 3

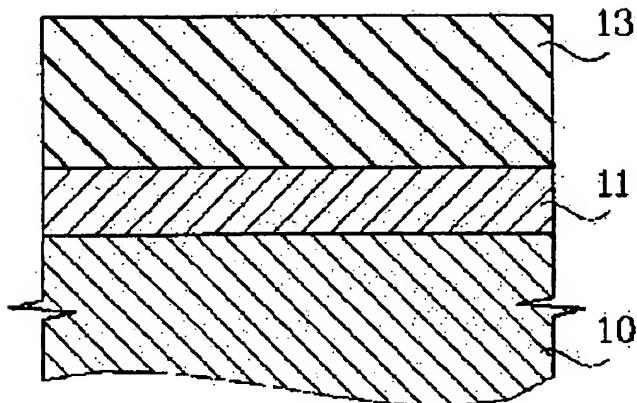
제 2 항에 있어서, 상기 캐핑총을 상기 홈부를 내의 구리배선을 상에만 남기고 아울러 상기 홈부를 외측의 층간절연막과 평탄화를 이루는 단계;
 상기 캐핑총을 기계화학적 연마공정에 의해 상기 마스크총이 노출될 때까지 연마하는 단계;
 상기 마스크총을 선택적으로 제거하는 단계;
 상기 남은 캐핑총을 기계화학적 연마공정에 의해 연마하여 상기 캐핑총을 상기 홈부를 내의 구리배선을 상에만 남기고 아울러 상기 홈부를 외측의 층간절연막과 평탄화를 이루는 단계를 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 4

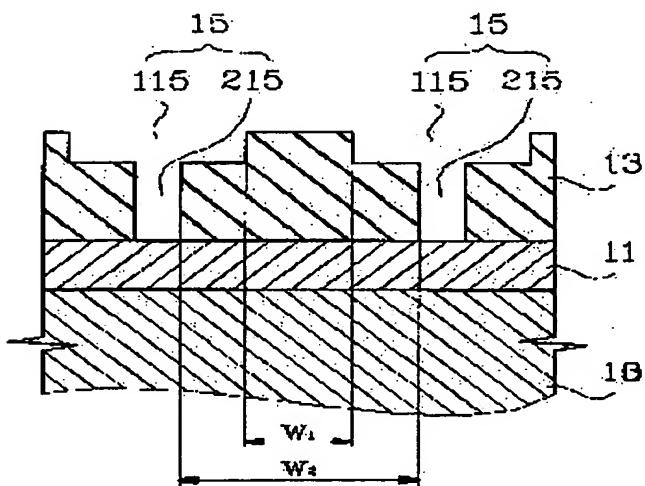
제 2 항 내지 제 3 항에 있어서, 상기 마스크총을 감광막의 패턴으로 구성하는 것을 특징으로 하는 반도체소자의 제조방법.

도면**도면1**

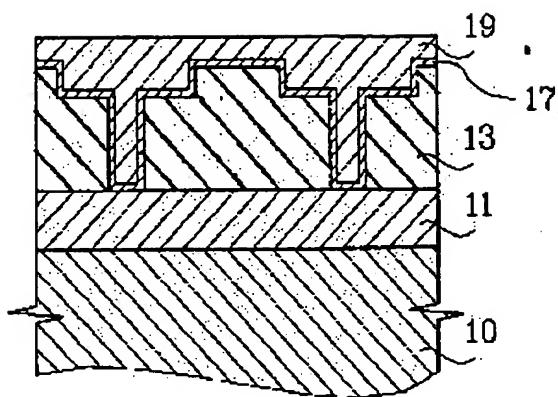
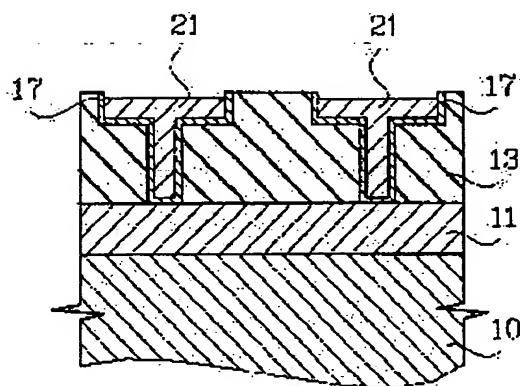
502



503

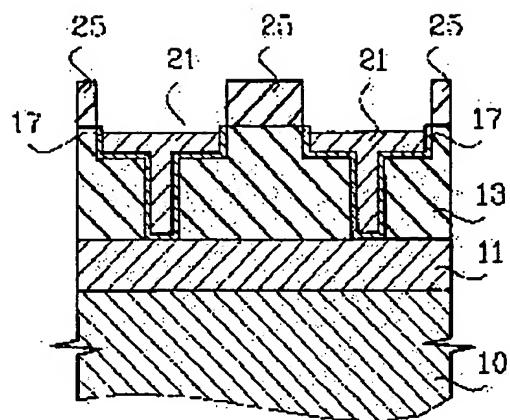


BEST AVAILABLE COPY

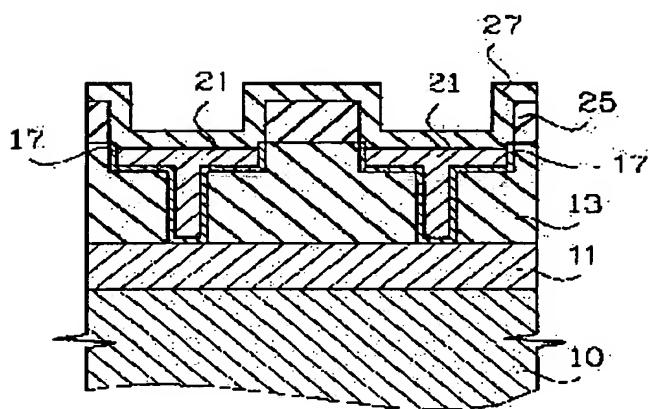
~~584~~~~585~~

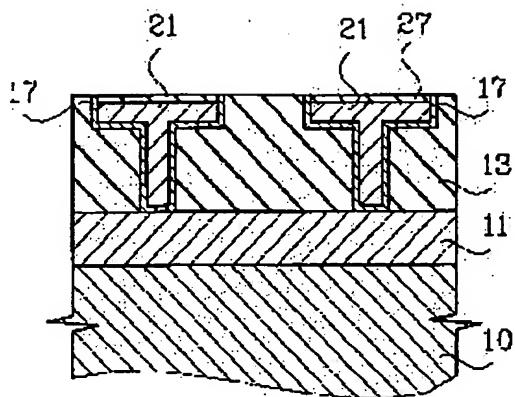
BEST AVAILABLE COPY

586



587



~~SECRET~~

BEST AVAILABLE COPY